

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-102589

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

G11C 15/04

(21)Application number : 09-279525

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 26.09.1997

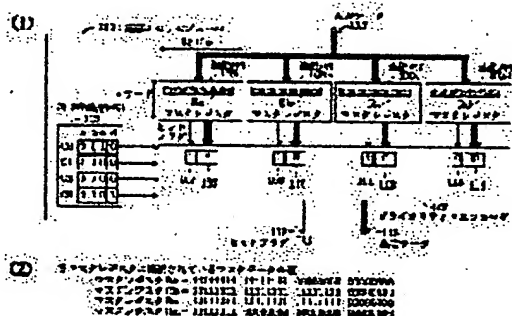
(72)Inventor : MIYAZAKI TOSHIAKI
HAYASHI TSUGUMASA

(54) ASSOCIATION MEMORY MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an association memory module having a high speed property being produced by performing best matching processing using hardware, and the flexibility for using the capacity of the entire prepared association memory module effectively.

SOLUTION: The memory module 100 has a means capable of arbitrarily setting the order of priority of data selection in a priority encoder 106 from the outside, and a simultaneous retrieval execution means for simultaneously giving input data to each of a plurality of association memories 100a-100d and for allowing each of a plurality of association memories 100a-100d to simultaneously execute retrieval. Then, the priority encoder 106 selects one retrieval result from a plurality of retrieval results being obtained by simultaneously executing the retrieval.



LEGAL STATUS

[Date of request for examination]

21.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102589

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁶

G 1 1 C 15/04

識別記号

6 3 1

F I

G 1 1 C 15/04

6 3 1 G

審査請求 未請求 請求項の数 4 F D (全 7 頁)

(21) 出願番号 特願平9-279525

(22) 出願日 平成9年(1997) 9月26日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 宮崎 敏明

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 林 経正

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

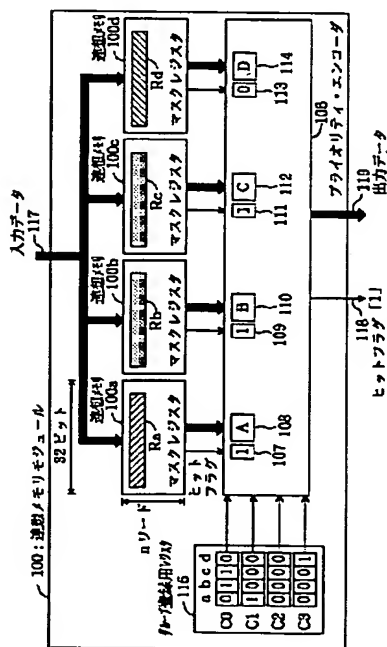
(74) 代理人 弁理士 川久保 新一

(54) 【発明の名称】 連想メモリモジュール

(57) 【要約】

【課題】 ハードウェアでベストマッチ処理を行うことによる高速性と、用意した連想メモリ全体の容量を有効に使用することができる柔軟性とを有する連想メモリモジュールを提供することを目的とするものである。

【解決手段】 プライオリティ・エンコードにおけるデータ選択の優先順序を外部から任意に設定可能な優先順序設定手段を設け、また、入力データを複数の連想メモリのそれぞれに同時に与え、複数の連想メモリのそれぞれに同時に検索を実行させる同時検索実行手段を設け、同時に実行して得られた複数の検索結果から、設定された優先順序に従って、プライオリティ・エンコードが、1つの検索結果を選び出す連想メモリモジュールである。



(1)

(2)

本発明の連想メモリモジュールは、
マスクレジスタ Ra = 11111111 11111111 00000000 00000000
マスクレジスタ Rb = 11111111 11111111 00000000 00000000
マスクレジスタ Rc = 11111111 11111111 00000000 00000000
マスクレジスタ Rd = 11111111 00000000 00000000 00000000

【特許請求の範囲】

【請求項1】 外部から与えられたマスクデータによって、入力データにマスク処理を施し、上記マスク処理によってマスクされたビット列を検索キーとして取り出し、予め格納してある複数の被検索データから、上記検索キーとマッチする被検索データを検索する複数の連想メモリと、上記複数の連想メモリのそれぞれが出力した複数の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出すプライオリティ・エンコーダとを有する連想メモリモジュールにおいて、上記プライオリティ・エンコーダにおけるデータ選択の上記優先順序を外部から任意に設定可能な優先順序設定手段と；上記入力データを上記複数の連想メモリのそれぞれに同時に与え、上記複数の連想メモリのそれぞれに同時に検索を実行させる同時検索実行手段と；を有し、上記同時に実行して得られた複数の検索結果から、上記設定された優先順序に従って、上記プライオリティ・エンコーダが、1つの検索結果を選び出すことを特徴とする連想メモリモジュール。

【請求項2】 請求項1において、上記優先順序設定手段は、上記連想メモリモジュール内にN個の連想メモリが存在する場合、上記プライオリティ・エンコーダによる選択優先順序が定められているN種類以下のグループを設け、上記複数の連想メモリのそれぞれが上記グループのうちのどのグループに属するかを示すグループ登録用レジスタを有し、上記グループ登録用レジスタの値を変更することのみによって、上記複数の連想メモリのうちの所定の連想メモリを、上記N種類以下のグループのうちの所望のグループに登録する手段を持つことを特徴とする連想メモリモジュール。

【請求項3】 外部から与えられたマスクデータによって、入力データにマスク処理を施し、上記マスク処理によってマスクされたビット列を検索キーとして取り出し、予め格納してある複数の被検索データから、上記検索キーとマッチする被検索データを検索する複数の連想メモリと、上記複数の連想メモリのそれぞれが出力した複数の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出す第1のプライオリティ・エンコーダとを有する連想メモリモジュールにおいて、上記第1のプライオリティ・エンコーダにおけるデータ選択の上記優先順序を外部から任意に設定可能な第1の優先順序設定手段と、上記入力データを上記複数の連想メモリのそれぞれに同時に与え、上記複数の連想メモリのそれぞれに同時に検索を実行させる同時検索実行手段とを有する複数の連想メモリモジュールと；上記複数の連想メモリモジュールのそれぞれから出力された複数の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出す第2のプライオリティ・エンコーダと；上記第2のプライオリティ・エンコーダにおけるデータ選択の上記優先順序を外部から任意に設

定可能な第2の優先順序設定手段と；を有し、上記複数の連想メモリモジュールが階層的に構成されていることを特徴とする連想メモリモジュール群。

【請求項4】 請求項3において、

上記複数の被検索データを格納し、上記連想メモリモジュール群の出力信号をアドレスとみなし、上記格納された複数の被検索データのうちで、上記アドレスに応じた上記被検索データを最終結果として出力する外部メモリを有することを特徴とする連想メモリモジュール群。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力データの一部のビット列を検索キーとし、連想メモリモジュールに内蔵されているデータ記憶手段に予め格納されている複数のデータ群からなるデータテーブルの中から、上記検索キーと一致する項目を含むデータ群を検索し、その内容または格納位置を読み出す機能を持ち、しかも、上記検索キーが複数のデータ群と同時に一致しているときに、検索キーのビット列が最も長いものと一致しているデータ群を取り出す連想メモリモジュールに関する。

【0002】

【従来の技術】複数の入出力ポートを持つIPルーティング処理装置（ルータ）を用いて、IPルーティング処理を行うには、入力ポートに到着したパケットのヘッダ情報から、32ビットの「相手IPアドレス」を検出し、この検出された相手IPアドレスに適合する出力ポートに、上記到着したパケットを送出する必要がある。つまり、到着したパケットを送出すべき出力ポートを決定する必要がある。この場合、上記「相手IPアドレス」を検索キーとし、ルータ内に存在するルーティングテーブル中の項目を検索し、上記検索キーと一致した上記項目に登録されている出力ポートを選択することによって、上記到着したパケットを送出すべき出力ポートを決定する。

【0003】この出力ポートを決定する処理として、ベストマッチ方式が採用されている。このベストマッチ処理は、まず、ルーティングテーブル内のIPアドレスを、そのIPアドレス毎に1対1対応で、別途用意されているネットマスク情報によって、「相手IPアドレス」の一部のビットをマッチングの対象から除外するマスク処理を行った後、このマスク処理されたデータを検索キーとして、被検索データと比較処理し、複数の候補とマッチすると、マスクの長さ（マスクのビット幅）が最も長いデータ（マッチング対象から除外したビット幅が最も短いデータ）を最優先候補として採用する処理である。

【0004】マスクデータ上、「1」の立っているビットが比較対象であるとした場合、たとえば、マスクデータが「11111111 11111111 11111111 00000000」である32ビット幅のデ

ータ（比較対照が24ビットであるデータ）と、マスクデータが「11111111 11111111 00000000 00000000」である32ビット幅のデータ（比較対照が16ビットであるデータ）とに、検索キーがマッチした場合、比較対象が24ビットである前者のデータを選択する。

【0005】このベストマッチ処理は、ルーティング処理の主要部分であるにもかかわらず、従来は、CPUを使用してソフトウェアでベストマッチ処理を実行しているので、ルータ自身のスループットの向上が阻止されるという問題がある。

【0006】

【発明が解決しようとする課題】一方、内容を高速に比較するハードウェアとして、連想メモリ（CAM）が従来知られている。この従来の連想メモリは、入力データに対して一律にマスク処理を行い、内容を検索するのみであり、上記ベストマッチ処理を行うために格納されている各IPアドレス毎に、個別にマスク処理を行うものではない。ところで、ベストマッチ処理に用いるマスクデータは、一般に、複数のIPアドレスに対して同一であることが、通信の規約上、多いので、従来の連想メモリを複数用い、上記ベストマッチ処理を実行することが考えられる。

【0007】つまり、まず、マスクデータが同一である「相手IPアドレス」を有する被検索データを、同一の連想メモリに格納する。この場合、各連想メモリがそれぞれ有するマスクデータ格納レジスタには、上記同一のマスクデータをセットしておく。実際に検索処理を行う場合、まず、入力データ（検索データ）を各連想メモリに同時に与え、各連想メモリ毎のマスク処理と検索とを一斉に実行する。次に、それぞれの検索結果を、別途設けたプライオリティ・エンコーダに送り、連想メモリが出力した複数の検索結果のうちで、ビット幅が最も長いマスクデータを持つ検索結果を最終的に採用する。このようにすることによって、ベストマッチ処理を実現することができる。

【0008】しかし、上記のように従来の連想メモリを複数用いてベストマッチ処理を実行する場合、格納すべき被検索データの件数を予め想定することができないので、ベストマッチ処理を実行する回路を構成するときに、各マスクデータに対して用意すべき連想メモリの容量を予測することができない。

【0009】すなわち、同一のマスクデータを持つ被検索データ（検索すべき相手IPデータ）の件数は、マスクデータ毎にバラツキがあることが予想され、したがって、各マスクデータに対して同一容量の連想メモリを用意すると、容量に過不足が生じ、用意した連想メモリ全体の容量を有効に使用できない可能性があるという問題がある。

【0010】本発明は、ハードウェアでベストマッチ処

理を行うことによる高速性と、用意した連想メモリ全体の容量を有効に使用することができる柔軟性とを有する連想メモリモジュールを提供することを目的とするものである。

【0011】

【課題を解決するための手段】本発明は、外部から与えられたマスクデータによって、入力データにマスク処理を施し、上記マスク処理によってマスクされたビット列を検索キーとして取り出し、予め格納してある複数の被検索データから、上記検索キーとマッチする被検索データを検索する複数の連想メモリと、上記複数の連想メモリのそれぞれが出力した複数の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出すプライオリティ・エンコーダとを有する連想メモリモジュールにおいて、上記プライオリティ・エンコーダにおけるデータ選択の上記優先順序を外部から任意に設定可能な優先順序設定手段を設け、また、上記入力データを上記複数の連想メモリのそれぞれに同時に与え、上記複数の連想メモリのそれぞれに同時に検索を実行させる同時検索実行手段を設け、上記同時に実行して得られた複数の検索結果から、上記設定された優先順序に従って、上記プライオリティ・エンコーダが、1つの検索結果を選び出す連想メモリモジュールである。

【0012】

【発明の実施の形態および実施例】図1（1）は、本発明の一実施例である連想メモリモジュール100を示す回路図である。

【0013】連想メモリモジュール100は、4つの連想メモリ（CAM）100a、100b、100c、100dと、グループ登録用レジスタ115とを有する。

【0014】連想メモリ100a、100b、100c、100dのそれぞれは、入力データ117に対して一律にマスク処理を行う回路を内蔵し、マスクデータを格納するマスクレジスタRa、Rb、Rc、Rdをそれぞれ内蔵している。ここで、連想メモリ100a、100b、100c、100dは、32ビットを1ワードとした場合、nワードの容量を有する。また、各マスクレジスタRa、Rb、Rc、Rdの容量もそれぞれ32ビットである。

【0015】被検索データとマスクデータとは1対1で対応され、互いに同一のマスクデータを有する被検索データ同士が1つのグループにグループ化され、各グループ単位で、互いに異なる連想メモリに被検索データが格納される。また、上記マスクデータは、それぞれ対応する連想メモリに内蔵されているマスクレジスタにセットされる。

【0016】連想メモリ100a、100b、100c、100dのそれぞれに設けられているマスクレジスタRa、Rb、Rc、Rdのそれぞれには、図1（2）に示す値が格納されているとする。そして、マスクレジ

スタR a ~ R d が格納しているマスクデータが互いに同じであれば、それらを1つのグループにまとめ、したがって、図1(2)に示す状態では、4つのマスクレジスタが、「R a」、「R b、R c」、「R d」という3つのグループに分けられる。図1(1)において、同じグループに属するマスクレジスタには、互いに同じ模様を付して表示してある。

【0017】連想メモリモジュール100は、最大4種類のマスクデータを有する被検索データを格納することができ、連想メモリ100 a ~ 100 d は、検索の結果一致した被検索データが存在していることを示すヒットフラグと、上記検索の結果一致した被検索データとを出力する。一致した被検索データが存在する場合、ヒットフラグが「1」になり、一致した被検索データが存在しない場合、ヒットフラグが「0」になる。そして、連想メモリ100 a ~ 100 d がそれぞれ出力した信号は、全てプライオリティ・エンコーダ106に入力される。

【0018】プライオリティ・エンコーダ106は、複数のヒットフラグが「1」になった場合、どれを最終的に出力にするかを定める優先順序に従って、「1」になった複数のヒットフラグの中から、1つのヒットフラグを選択し、この選択されたヒットフラグに対応する被検索データを選択するものである。上記優先順序は、グループ登録用レジスタ115の値によって決定される。

【0019】グループ登録用レジスタ115は、4つの連想メモリ100 a、100 b、100 c、100 d のそれぞれがどのグループに属するのを示すものであり、4本のレジスタC0、C1、C2、C3を有し、レジスタC0、C1、C2、C3はそれぞれ4ビットで構成され、上記4ビットは、図1中、左から、連想メモリ100 a、100 b、100 c、100 d にそれぞれ対応している。

【0020】たとえば、図1に示す実施例において、レジスタC0が「0110」であるから、連想メモリ100 b と 100 c との2つの連想メモリが、グループC0に属し、レジスタC1が「1000」であるから、連想メモリ100 a がグループC1に属し、レジスタC2が「0000」であるから、グループC2に属する連想メモリは存在せず、レジスタC3が「0001」であるから、連想メモリ100 d がグループC3に属する。

【0021】そして、同一のグループに属する連想メモリのそれぞれは、互いに同一のマスクデータを持ち、つまり、上記同一のグループに属する連想メモリのマスクレジスタには、互いに同じマスクデータがセットされる。この場合、レジスタC0、C1、C2、C3の順に、優先度が高いグループであるとし、その順に、ビット幅が長いマスクデータを持つ被検索データを、対応する連想メモリに格納する。上記実施例では、図1(2)に示すように、連想メモリ100 b と 100 c との優先度が最も高く、連想メモリ100 a の優先度が次に高

く、連想メモリ100 d の優先度が最後に高い。

【0022】ここで、同一グループに属する連想メモリの優先度は、図1に示すグループ登録用レジスタ115中、より左側に位置するもの程、高いとする。したがって、上記実施例では、連想メモリ100 b の優先度が、連想メモリ100 c の優先度よりも高い。

【0023】プライオリティ・エンコーダ106は、上記規則に従って、入力データに関する優先度を一意に決定することができる。

【0024】つまり、連想メモリモジュール100は、外部から与えられたマスクデータによって、入力データにマスク処理を施し、上記マスク処理によってマスクされたビット列を検索キーとして取り出し、連想メモリ100 a ~ 100 d に予め格納してある複数の被検索データから、上記検索キーとマッチする被検索データを検索する複数の連想メモリ100 a ~ 100 d が設けられ、複数の連想メモリ100 a ~ 100 d のそれぞれが出力した複数の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出すプライオリティ・エンコーダ106が設けられた連想メモリモジュールであり、優先順序設定手段と同時に検索実行手段とを有するものである。また、上記優先順序設定手段は、プライオリティ・エンコーダ106におけるデータ選択の上記優先順序を外部から任意に設定可能な手段であり、同時検索実行手段は、上記入力データを複数の連想メモリ100 a ~ 100 d のそれぞれに同時に与え、複数の連想メモリ100 a ~ 100 d のそれぞれに同時に検索を実行させる手段である。

【0025】次に、上記実施例の動作について説明する。

【0026】図1に示す実施例では、入力データ117を4つの連想メモリ100 a、100 b、100 c、100 d に同時に加え、その入力データを検索し、この検索の結果、検索キーと一致する被検索データが、連想メモリ100 a、100 b、100 c に存在するとする。すなわち、ヒットフラグ107、109、111、113が、それぞれ、「1」、「1」、「1」、「0」になったとすると、上記4つの連想メモリ100 a、100 b、100 c、100 d のうちで、連想メモリ100 b の優先度が一番高いことが、グループ登録用レジスタ115の設定内容から分かる。つまり、レジスタC0、C1、C2、C3の順に、優先度が高く、また、図1に示すグループ登録用レジスタ115中、より左側に位置するもの程、優先度が高いので、連想メモリ100 b の優先度が一番高いことになる。

【0027】したがって、プライオリティ・エンコーダ106は、最終結果として、連想メモリ100 b の値110を出力データ119として出力し、さらに、連想メモリモジュール100の全体として一致データが存在していることを知らせるヒットフラグ118を「1」にし

て外部に知らせる。上記実施例によれば、上記ベストマッチ処理を実現することができる。

【0028】また、上記実施例によれば、グループ登録用レジスタ115の設定に応じて、4つの連想メモリ100a、100b、100c、100dを、いかようにもグループ分けすることができる。たとえば、マスクの種類が3種類であり、それぞれの被検索データの件数がn以下であった場合、3つの連想メモリ、たとえば連想メモリ100a、100b、100cによって対応できる。すなわち、被検索データが新たに追加され、所定のマスクデータのグループ（たとえば連想メモリ100a）のみに対応するマスクデータが、1つの連想メモリに格納することができる被検索データの件数であるn件を越えた場合、n+1件以降の被検索データに対応するマスクデータを、連想メモリ100dに格納し（つまり、連想メモリ100dのマスクレジスタRdに、連想メモリ100aに書き込まれているマスクデータと同一のマスクデータを書き込み）、さらに、連想メモリ100aが属するグループに、連想メモリ100dが属するように、対応するグループ登録用レジスタ115の値を書き換えればよい。

【0029】このように、所定のグループに属する1つの連想メモリに格納される被検索データの数が多くなったときに、上記被検索データに対応するマスクデータを、上記1つの連想メモリとは別の連想メモリに格納し、上記所定のグループに、上記別の連想メモリが属するように、対応するグループ登録用レジスタ115の値を書き換えればよい。このようにすることによって、既に登録されている被検索データ等を一切変更することなく、n件の新たな被検索データの格納領域を新たに作ることができる。

【0030】また、図1に示す実施例において、グループ登録用レジスタ115を構成するレジスタの数を、グループの総数（＝連想メモリの数）と同じにし、上記各レジスタのビット幅を連想メモリの数と同じに設定したので、グループ登録用レジスタ115の総ビット数は、連想メモリの個数の2乗になる。たとえば、図1に示す実施例では、グループ登録用レジスタ115の総ビット数は、 $4 \times 4 = 16$ ビットになる。このようにしてあるのは、プライオリティ・エンコーダの論理を単純化するためにとった方策である。ところで、各連想メモリがどのグループに属するのかを表現できればよいので、そのグループの番号をエンコードし、2進数で表現するようにしてもよい。たとえば、図1に示す実施例では、4つのグループが存在し、それぞれのグループ番号を、「00」、「01」、「10」、「11」のように設定すれば、グループの番号を2ビットで表現することができる。このようにすると、 $4 \times 2 = 8$ ビットによって、プライオリティ・エンコーダにおける被検索データの優先順位を制御することができる。

【0031】また、グループ化を行わず、各連想メモリに一意の順番をつけることによって、プライオリティ・エンコーダの優先順位を制御するようにしてもよい。この場合、連想メモリの総数を2進数で表したビット数を、各連想メモリ毎に対応させて持てばよく、レジスタの総ビット数は、グループの番号をエンコードする場合と同様である。これによって、プライオリティ・エンコーダの論理が、グループの番号をエンコードする場合よりも一般に簡単になる。しかし、各連想メモリに一意の順番をつけるようにすると、既に使用している連想メモリよりも、新たに追加した連想メモリの優先順位を上げたいときに、他の連想メモリの優先順序を1番ずつ前後にずらす必要が生じ、このために、対応するレジスタの値を書き換える必要が生ずる場合がある。これに比べ、連想メモリモジュール100のようにグループ登録用レジスタ115を用いれば、既に存在する同一グループに新たな連想メモリを追加する場合は、既に設定してある他のレジスタの値を変更する必要がない。

【0032】図2は、本発明の他の実施例である連想メモリモジュール群200を示す回路図であり、大規模なベストマッチ処理を行う回路構成を示す図である。

【0033】連想メモリモジュール群200は、連想メモリモジュール200a、200b、200cと、プライオリティ・エンコーダ211と、グループ登録用レジスタ215とを有する。

【0034】連想メモリモジュール200a、200b、200cは、それぞれ連想メモリモジュール100と同様の連想メモリモジュールである。

【0035】プライオリティ・エンコーダ211、グループ登録用レジスタ215のそれぞれの機能は、図1に示すプライオリティ・エンコーダ106、グループ登録用レジスタ115の機能と同様である。

【0036】つまり、連想メモリモジュール群200は、外部から別途与えられたマスクデータによって、入力データにマスク処理を施し、上記マスク処理によってマスクされたビット列を検索キーとして取り出し、予め格納してある複数個の被検索データから、上記検索キーとマッチする被検索データを検索する複数の連想メモリと、上記複数の連想メモリのそれぞれが出力した複数個の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出す第1のプライオリティ・エンコーダとを有し、上記第1のプライオリティ・エンコーダにおけるデータ選択の上記優先順序を外部から任意に設定可能な第1の優先順序設定手段と、上記入力データを上記複数の連想メモリのそれぞれに同時に与え、上記複数の連想メモリのそれぞれに同時に検索を実行させる同時検索実行手段とを有する複数の連想メモリモジュールと、上記複数の連想メモリモジュールのそれぞれから出力された複数個の検索結果から、予め設定された優先順序に従って、1つの検索結果を選び出す第2のプライオ

リティ・エンコーダと、上記第2のプライオリティ・エンコーダにおけるデータ選択の上記優先順序を外部から任意に設定可能な第2の優先順序設定手段とを有し、上記複数の連想メモリモジュールが階層的に構成されている連想メモリモジュール群である。

【0037】連想メモリモジュール群200において、入力データ（検索キー）217は、連想メモリモジュール200a、200b、200cのそれぞれに同時に送られ、並列に検索処理され、全体の検索結果212が得られる。図2に示すように、連想メモリモジュール200a、200b、200cを階層的に構成すると（つまり、複数の連想メモリモジュール100を階層的に構成すると）、1つの連想メモリモジュールのみを使用する場合に比べて、検索時間をあまり犠牲にすることなく大規模化を容易に図ることができる。つまり、連想メモリモジュール群200における連想メモリモジュール200a、200b、200cは、同時に検索処理を行うので、1つの連想メモリモジュールのみの処理と、その時間は同じであり、プライオリティ・エンコーダ211の処理時間のみが余分にかかるのみである。

【0038】連想メモリモジュール群200によれば、連想メモリモジュールを階層的に用いることによって、より大規模なベストマッチ処理を行うハードウェアを容易に実現することができる。

【0039】また、被検索データ1件あたりのデータ量が多い場合は、検索結果212をアドレスとみなし、外部に別途設けた半導体メモリ213のアドレス端子に上記アドレスを加え、最終結果214を得るようにすればよい。

【0040】このようにすれば、連想メモリモジュール200a、200b、200cに搭載する連想メモリ自体の容量を削減することができる。つまり、被検索データに含まれている情報（出力ポートを特定する情報、装置のセッティングに必要な各種パラメータ等の情報）を連想メモリ100a～100dに格納するようにすると、その分だけ、連想メモリ100a～100dに格納する（エンタリーする）ことができる被検索データの数が少なくなるが、被検索データに含まれている情報（出力ポートを特定する情報、装置のセッティングに必要な各種パラメータ等の情報）を、連想メモリ100a～100dに格納せずに、連想メモリモジュール群200の外部に設けた半導体メモリ213に格納し、半導体メモリ213から最終結果214を出力するようにすれば、連想メモリモジュール200a、200b、200cに搭載する連想メモリ自体に格納する1つの被検索データ

の容量を削減することができる。

【0041】つまり、複数の被検索データを格納し、連想メモリモジュール群200の出力信号をアドレスとみなし、上記格納された複数の被検索データのうちで、上記アドレスに応じた上記被検索データを最終結果として出力する外部メモリを有するようにすればよい。

【0042】また、連想メモリモジュール群200において、グループ登録用レジスタ215を用いているので、既に存在する同一グループに新たな連想メモリを追加する場合、既に設定してある他のレジスタの値を変更する必要がない。

【0043】また、上記各実施例は、インターネットプロトコル（IP）のためのルーティング処理等で用いられるベストマッチ処理を高速に行う用途に適する。

【0044】

【発明の効果】本発明によれば、入力データを一律にし、マスク処理ができない従来型の連想メモリを複数用いた場合、ベストマッチ処理を高速に行うハードウェアを構成することができ、また、単純構成した場合にマスクデータ毎に発生する連想メモリ容量の過不足を阻止することができるという効果を奏する。

【図面の簡単な説明】

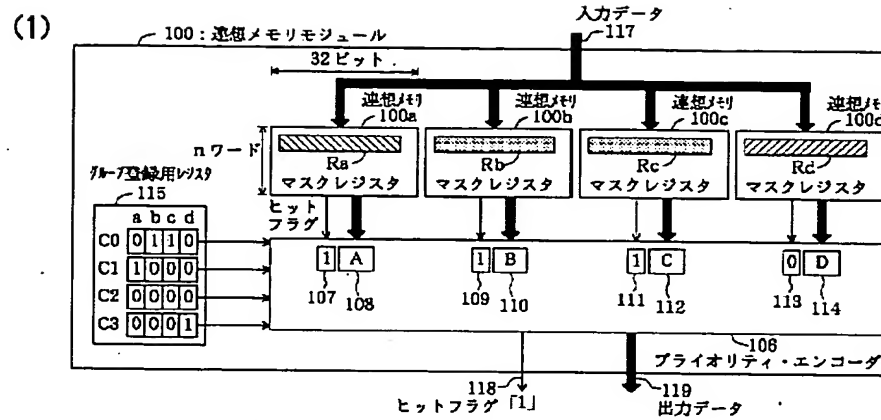
【図1】本発明の一実施例である連想メモリモジュール100を示す回路図である。

【図2】本発明の他の実施例である連想メモリモジュール群200を示す回路図であり、大規模なベストマッチ処理を行う回路構成を示す図である。

【符号の説明】

100…連想メモリモジュール、
100a、100b、100c、100d…連想メモリ、
Ra、Rb、Rc、Rd…マスクレジスタ、
106…プライオリティ・エンコーダ、
115…グループ登録用レジスタ、
117…入力データ、
118…出力データ、
200…連想メモリモジュール群、
200a、200b、200c…連想メモリモジュール、
211…プライオリティ・エンコーダ、
215…グループ登録用レジスタ、
213…半導体メモリ、
217…入力データ、
214…出力データ。

【図1】



- (2) 各マスクレジスタに格納されているマスクデータの値
- マスクレジスタ Ra = 11111111 11111111 00000000 00000000
- マスクレジスタ Rb = 11111111 11111111 11111111 00000000
- マスクレジスタ Rc = 11111111 11111111 11111111 00000000
- マスクレジスタ Rd = 11111111 00000000 00000000 00000000

【図2】

